

(Concise explanations in relevancy)

Japanese laid-open patent publication No. 8-97360

In Japanese laid-open patent publication Nos. 11-45822 and 8-97360, it is disclosed that a thin film capacitor has a thin film dielectric film which has a high dielectric constant to obtain a low self-inductance and a large capacity as well as a higher LC-resonant frequency than the normal stacked ceramic capacitor. This thin film capacitor is, however, disadvantageous because of the difficulty of packaging the capacitor onto the board. Also, the process for forming the thin film capacitor is costly process. It is desirable to realize a non-expensive method for forming the thin film capacitor.

**THIN FILM CAPACITOR FOR MULTICHIP MODULE**

Patent Number: JP8097360  
Publication date: 1996-04-12  
Inventor(s): TSUKADA MINEHARU; NISHIZAWA MOTOTOSHI  
Applicant(s):: FUJITSU LTD  
Requested Patent: ☐ JP8097360  
Application Number: JP19940226197 19940921  
Priority Number(s):  
IPC Classification: H01L27/04 ; H01L21/822  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To realize practical use of a decoupling capacitor having less inductance in an MCM thin film capacitor.

**CONSTITUTION:** An MCM thin film capacitor which is pattern-formed in a signal layer on an AlN substrate to form MCM and is connected to a semiconductor integrated circuit mounted on an insulating film through a via provided on the insulating layer consisting of polyimide on the signal layer is formed by a sputtering method with SrTiO<sub>3</sub> used as a dielectric material.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-97360

(43) 公開日 平成8年(1996)4月12日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04

21/822

H 0 1 L 27/ 04

C

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平6-226197

(22) 出願日 平成6年(1994)9月21日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 塚田 峰春

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 西沢 元亨

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

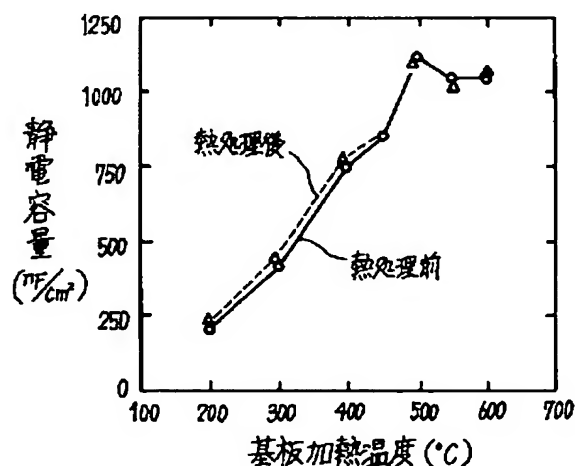
(74) 代理人 弁理士 井柝 貞一

(54) 【発明の名称】 マルチチップモジュール用薄膜コンデンサ

(57) 【要約】

【目的】 MCM用薄膜コンデンサに関し、インダクタンスの少ないデカップリングコンデンサの実用化を目的とする。

【構成】 MCMを形成するAl N基板上的の信号層にパターン形成されており、信号層上のポリイミドよりなる絶縁層に設けたビアによって絶縁層上に装着してある半導体集積回路と接続するMCM用薄膜コンデンサが、 $\text{SrTiO}_3$ を誘電体とし、スパッタ法により形成されていることを特徴としてMCM用薄膜コンデンサを構成する。

SrTiO<sub>3</sub>薄膜コンデンサの静電容量の基板温度依存性

## 【特許請求の範囲】

【請求項1】 マルチチップモジュールを形成する窒化アルミニウム基板上の信号層にパターン形成されており、該信号層上のポリイミドよりなる絶縁層に設けたビアによって該絶縁層上に装着してある半導体集積回路と接続するマルチチップモジュール用薄膜コンデンサが、チタン酸ストロンチウムを誘電体とし、スパッタ法により形成されてなることを特徴とするマルチチップモジュール用薄膜コンデンサ。

【請求項2】 チタン酸ストロンチウムをスパッタする際の基板温度が400℃以下であることを特徴とする請求項1記載のマルチチップモジュール用薄膜コンデンサ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はマルチチップモジュール（以下略してMCM）用薄膜コンデンサに関する。

【0002】 大量の情報を迅速に処理する必要から情報処理装置は大容量化が行われており、LSIやVLSIなどの集積回路をマトリックス状に配列してなるMCMの実用化が進められている。

【0003】 ここで、MCMを構成するセラミック多層回路基板は、この基板上部に高速信号を処理し、また、多大の発熱を伴うLSIやVLSIなどの集積回路をマトリックス状に配列して装着することから基板材料として窒化アルミニウム（AlN）が着目されている。

【0004】 すなわち、基板材料の必要条件として、LSIやVLSIなどの集積回路を形成するシリコン（Si）の熱膨張係数（ $3.6 \times 10^{-6}/^{\circ}\text{C}$ ）に近いことが必要であるが、AlNの熱膨張係数は $4.2 \times 10^{-6}/^{\circ}\text{C}$ と近く、また、従来のアルミナ（ $\text{Al}_2\text{O}_3$ ）基板の熱伝導率が $20\text{W}/\text{mK}$ であるのに対し、AlNの熱伝導率は $200\text{W}/\text{mK}$ と格段に優れており、また、融点も $2200^{\circ}\text{C}$ と高く、一方、誘電率は8.9と $\text{Al}_2\text{O}_3$ の10よりも少ないことから、高密度実装を必要とする配線基板の構成材料として適している。

【0005】 次に、AlN多層回路基板の製造方法としては、AlN粉末に少量の焼結助剤とバインダおよび分散剤を加え、良く混練してスラリーを作り、このスラリーをドクターブレード法により形成した後、このグリーンシートにタングステン（W）ペーストを印刷して配線などのパターン形成を行い、積層して一体化してから、窒素（ $\text{N}_2$ ）ガスのような不活性ガス雰囲気中で脱脂し、高温にまで加熱して焼結させることにより作られている。

【0006】 本発明はかかるMCMに使用される薄膜コンデンサに関するものである。

## 【0007】

【従来の技術】 先に記したように、MCMはAlNなどよりなる多層回路基板上にLSIやVLSIなどの半導体集積回路（以下略してLSI）をマトリックス状に配

列して形成されているが、LSIを構成している多数のトランジスタが同時にスイッチング動作を行う場合には、配線のインダクタンスにより電源電圧が変動し、この際に発生する高速のノイズによりLSIが誤動作すると言う問題がある。

【0008】 そこで、この対策としてセラミックよりなるチップコンデンサをLSIの近傍に装着している。然し、チップコンデンサとLSIとを回路接続する配線によるインダクタンスによって、このチップコンデンサは所謂デカップリングコンデンサとして充分には機能しておらず、また、チップコンデンサの装着にかなりの面積を要することがMCMの小形化を妨げている。

## 【0009】

【発明が解決しようとする課題】 MCMを構成しているLSIが同時にスイッチング動作を行う場合には電源電圧の変動により高速ノイズを生じ、このノイズにより誤動作を生ずると言う問題があり、この対策としてデカップリングコンデンサの装着が行われている。

【0010】 そして、セラミックチップコンデンサが使われているが、然し、コンデンサとLSIを結ぶ配線の有するインダクタンスによってスイッチングノイズが充分に除去できず、一方、チップコンデンサの装着によりMCMの小形化が妨げられていると云う問題があり、この解決が課題である。

## 【0011】

【課題を解決するための手段】 上記の課題はMCMを形成するAlN基板上の信号層にパターン形成されており、信号層上のポリイミドよりなる絶縁層に設けたビアによって絶縁層上に装着してある半導体集積回路と接続するMCM用薄膜コンデンサが、チタン酸ストロンチウム（ $\text{SrTiO}_3$ ）を誘電体とし、スパッタ法により形成されていることを特徴としてMCM用薄膜コンデンサを構成することにより解決することができる。

## 【0012】

【作用】 高速ノイズを発生するLSIとデカップリングコンデンサを結ぶ配線のインダクタンスによってデカップリングコンデンサが高周波成分を充分に除去できないと云う問題を解決する方法として、本方法は多層配線基板の最上層の配線層に薄膜コンデンサを形成し、更に、この上に絶縁層を被覆してLSIを搭載し、このLSIと薄膜コンデンサとをビア（Via）により回路接続する方法をとるものである。

【0013】 この方法をとることにより、LSIとデカップリングコンデンサを結ぶ配線はビアのみとすることができることから、インダクタンスを最小限に抑制することが可能となる。

【0014】 さて、このようにMCMを構成する多層基板の中に薄膜コンデンサを埋め込み形成する場合、薄膜コンデンサを形成する誘電体の必要条件として、

誘電率が大きなこと、

静電容量の温度依存性と電界依存性が小さいこと、耐熱性が優れていること、などを挙げることができる。

【0015】すなわち、小形大容量を実現するためには誘電率が大きなことが必要で、この要求を満たすものは強誘電体材料である。然し、チタン酸バリウム ( $\text{TiBaO}_3$ ) で代表される強誘電体材料は温度依存性と電界依存性が大きく、また、焦電現象や圧電現象を生ずると云う問題があり、埋め込み用コンデンサの誘電体としては信頼性の点から適当ではない。

【0016】すなわち、複数のLSIを多層配線基板の表面にマトリックス状に配列してなるMCMは使用時には数10Wの発熱を伴うことから、温度変動は著しく、そのために温度依存性の大きな誘電体材料を使用すると、必要とする静電容量値を精度よく実現することが困難である。

【0017】一方、有機誘電体は一般的に誘電率が小さく、また、耐熱性の点から使用することは困難である。すなわち、本発明に係るMCMは薄膜コンデンサを含む配線層の上に絶縁層を設け、この絶縁層上に複数のLSIを装着するものであるから、絶縁層やLSI装着工程の熱処理に耐えることが必要で、この点から有機誘電体の使用は適当ではない。

【0018】発明者等は上記の条件を満たす材料として  $\text{SrTiO}_3$  を選んだ。この理由は  $\text{SrTiO}_3$  は  $\text{TiBaO}_3$  と同様にペロブスカイト型構造をとる立方晶系結晶であるが、 $\text{BaTiO}_3$  と違って常誘電体であり、そのため、誘電率 ( $\epsilon$ ) の温度依存性と電界依存性は少なく、一方、誘電率 ( $\epsilon$ ) は他の材料に較べて大きく、耐圧も高いと云う特徴を有している。

【0019】すなわち、エピタキシャル成長法で得られるバルクの  $\text{SrTiO}_3$  について、誘電率 ( $\epsilon$ ) は200以上で、また、耐圧として  $10^6 \text{ V/cm}$  以上の値が得られている。

【0020】本発明に係る薄膜コンデンサの誘電体薄膜は基板加熱を行いながらスパッタして形成するものであり、エピタキシャル成長法で得られる誘電率を実現することは不可能であるが、基板加熱温度が200℃の場合には誘電率 ( $\epsilon$ ) = 80が、また、基板加熱温度が500℃の場合には  $\epsilon = 230$  の値が得られている。

【0021】次に、スパッタ法で  $\text{SrTiO}_3$  膜を形成する場合の問題点は、非酸化性雰囲気中のスパッタでは所定の組成の膜が得られないことである。すなわち、 $\text{SrTiO}_3$  は  $\text{TiO}_2$  成分と  $\text{SrO}$  成分の二つの酸化物成分よりなることから、スパッタできた  $\text{SrTiO}_3$  は酸素 (O) 原子が抜けて格子欠陥ができ易く、これはスパッタの際の基板温度が高いほど発生し易い。そのため、スパッタが可能な限度に不活性雰囲気中に  $\text{O}_2$  を混入するとよい。

【0022】一方、スパッタできた  $\text{SrTiO}_3$  は基板

温度が高いほど結晶成長が進行することから、バルクの値に近づくと云う問題があり、相反の関係がある。そこで、発明者等は基板温度を変えてスパッタを行い、400℃までの温度が適当であることが判った。

【0023】次に、このように形成した薄膜コンデンサはこの上に絶縁層が形成され、この上に半導体素子を装着することから、この工程に伴う熱処理によりコンデンサの電気的特性が変化しないことが必要で、この見地から、基板温度は少なくとも半導体素子装着温度より高いことが必要である。

【0024】

【実施例】大きさが2インチ角で厚さが2mmの7枚のAlN基板上にスパッタ法によりTi膜と白金 (Pt) 膜を100nmの厚さに積層して形成した後、写真蝕刻技術 (ホトリソグラフィ) を用いて2cm角の電極パターンを形成した。ここで、Ti膜はAlN基板との接着性向上のために設けてある。

【0025】次に、この2cm角のPt電極を備えたAlN基板上に基板温度を200℃~600℃の7種類に変え、次の条件で  $\text{SrTiO}_3$  をRFマグネトロンスパッタして200nmの厚さに形成した。

【0026】雰囲気：アルゴン (Ar) と酸素 ( $\text{O}_2$ ) との混合ガス、容積比4:1  
ガス圧：1パスカル (Pa)  
高周波電力：2W/cm<sup>2</sup>  
スパッタ時間：5H

次に、この上に先と同様に大きさが2cm角で厚さが100nmのPt電極を正確に位置合わせして形成し、コンデンサを形成した。

【0027】そして、この7種類のコンデンサそれぞれについて、静電容量、誘電体損失角 ( $\tan \delta$ ) と5Vを60秒印加後の漏れ電流を測定し、次に、この各コンデンサを窒素 ( $\text{N}_2$ ) 気流中で450℃で3時間熱処理した後、再び、静電容量、誘電体損失角 ( $\tan \delta$ ) と5Vを60秒印加後の漏れ電流を測定した。

【0028】この理由は多層AlN基板上に薄膜コンデンサを形成した後には、ポリイミド絶縁膜の被覆工程があり、このポリイミド絶縁層の形成のためには450℃の硬化工程を必要とするからである。

【0029】図1はこのようにして形成した  $\text{SrTiO}_3$  薄膜コンデンサについて静電容量の基板加熱温度依存性、図2は誘電損失の、また、図3は漏れ電流の基板加熱温度依存性を示すもので、実線は薄膜コンデンサ形成後の測定値、また、破線は450℃、3時間加熱後の測定値であり、何れも基板加熱温度に比例して値が増加している。

【0030】すなわち、スパッタを行う際に基板加熱温度が高い程、結晶化が進行するためにコンデンサの誘電体としては好ましいが、一方、雰囲気が  $\text{O}_2$  ではなく、特に、ポリイミドについて450℃、3時間加熱処理は不

## 5

活性雰囲気中で行われることから結晶格子の酸素欠陥を生じて半導体化するため、静電容量と誘電損失は増加し、また、漏れ電流も増加してくる。

【0031】そのため、基板加熱温度は400℃以下が適当である。

## 【0032】

【発明の効果】本発明はデカップリングコンデンサを配線層に形成し、この配線層の上にポリイミド層を絶縁層として形成し、この絶縁層に設けたビアによりLSIと回路接続する構成をとるMCMにおいて、デカップリン

## 6

グコンデンサとしてSrTiO<sub>3</sub>薄膜コンデンサを使用するもので、これにより電気的特性のよいデカップリングコンデンサを備えたMCMの実用化が可能となる。

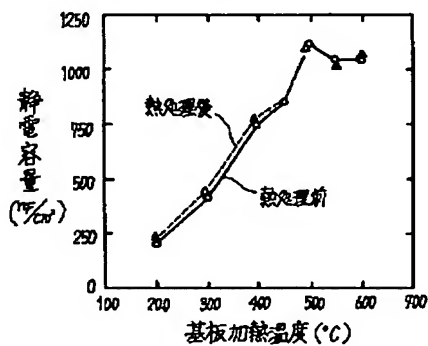
## 【図面の簡単な説明】

【図1】 SrTiO<sub>3</sub>薄膜コンデンサの静電容量の基板温度依存性を示す図である。

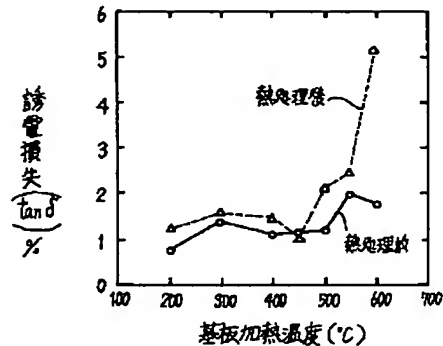
【図2】 SrTiO<sub>3</sub>薄膜コンデンサの誘電損失の基板温度依存性を示す図である。

【図3】 SrTiO<sub>3</sub>薄膜コンデンサの漏れ電流の基板温度依存性を示す図である。

【図1】

SrTiO<sub>3</sub>薄膜コンデンサの静電容量の基板温度依存性

【図2】

SrTiO<sub>3</sub>薄膜コンデンサの誘電損失の基板温度依存性

【図3】

SrTiO<sub>3</sub>薄膜コンデンサの漏れ電流の基板温度依存性